

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-150698

(43)公開日 平成6年(1994)5月31日

(51)Int.Cl.⁵

G 11 C 29/00
G 06 F 12/16

識別記号 303 B 6741-5L
330 A 7629-5B

F I

技術表示箇所

審査請求 未請求 請求項の数1(全4頁)

(21)出願番号 特願平4-303346

(22)出願日 平成4年(1992)11月13日

(71)出願人 000001258

川崎製鉄株式会社
兵庫県神戸市中央区北本町通1丁目1番28号

(72)発明者 新保 正人

東京都千代田区内幸町二丁目2番3号 川
崎製鉄株式会社東京本社内

(72)発明者 慶田 久彌

東京都千代田区内幸町二丁目2番3号 川
崎製鉄株式会社東京本社内

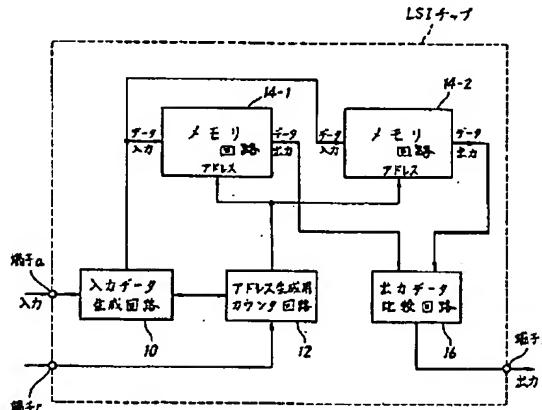
(74)代理人 弁理士 高矢 諭 (外2名)

(54)【発明の名称】 半導体集積回路

(57)【要約】

【目的】 LSIチップ内部に、同型のメモリ回路が複数搭載されている場合に、メモリ回路のテスト容易化を達成する。

【構成】 同型のメモリ回路を同時に動作させ、それらの回路の出力結果を比較して、不一致の場合に不良と判定する。



1

【特許請求の範囲】

【請求項1】LSIチップ内部に、ワード及びビット構成が同じ同型のメモリが複数搭載されている半導体集積回路において、

複数のメモリの同じアドレスに、同じ入力を、同じタイミングで与えるための、入力データ生成回路及びアドレス生成用カウンタ回路と、

各メモリからの出力の一致を検出する出力データ比較回路とを備え、

出力が不一致の場合に不良と判定することにより、メモリ回路のテストが容易に行えるようにしたことを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路に係り、特に、LSIチップ内部に同型のメモリを複数搭載した場合のメモリ回路のテストが、従来より短時間に、容易に行えるようにした、半導体集積回路に関するものである。

【0002】

【従来の技術】LSIチップ内部には、メモリ回路として、事前にメモリ回路単体として設計されたエンベッド型メモリ回路、あるいはワード数、ビット数、面積や形状（アスペクト比）等に関するユーザの要望に応じて、ジェネレータによって生成されたメモリ回路が搭載される。このとき搭載される回路の制約上、同型のメモリ回路を複数個搭載することがよく行われる。

【0003】このように、LSIチップ内部に複数個メモリ回路が搭載されている場合の回路テストの方法としては、従来、チップ外部からテストパターンを入力して、1回路ずつテストをするか、あるいは、チップ内部にテスト用回路を設け、やはり1回路ずつテストをする、という方法がとられていた。

【0004】

【発明が解決しようとする課題】しかしながら、従来のテスト方法では、1回路ずつテストが行われるため、テストのための時間が長くかかるという問題があった。本来、テストを厳密に行うためには多数のパターンが必要であるが、そのためには非常に多大の時間を必要とし、非現実的であるため、代表的なパターンのみについてテストを行っているのではあるが、それでも時間がかかりすぎるという問題があった。

【0005】更に、同型のメモリが複数個搭載されている場合でも、1回路ずつ同様のテストが行われるため、同型のメモリであっても、回路の個数分のテスト時間と手間がかかるという問題点があった。

【0006】本発明は、前記従来の問題点を解消するべく成されたもので、LSIチップ内部に同型のメモリ回路を複数個搭載した場合に、該メモリ回路のテストを、より短時間に、より効果的に行えるような回路構成を実

2

現した半導体集積回路を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明は、LSIチップ内部に、ワード及びビット構成が同じ同型のメモリが複数搭載されている半導体集積回路において、複数のメモリの同じアドレスに、同じ入力を同じタイミングで与えるための、入力データ生成回路及びアドレス生成用カウンタ回路と、出力の一致を検出する出力データ比較回路とを備え、出力が不一致の場合に不良と判定することにより、メモリ回路のテストが容易に行えるようにして、前記目的を達成したものである。

【0008】

【作用】本発明によれば、LSIチップ内部にある複数の同型のメモリ回路のテストを行うとき、図1に示すように、同型のメモリ回路同士を同時に用いてテストが行われる。即ち、複数の同型のメモリの同じアドレスに、同じ入力が同じタイミングで、入力データ生成回路とアドレス生成用カウンタ回路により入力され、該複数のメモリ回路の同じアドレスから前記同じデータを出し、出力結果を比較回路で相互に比較し、一致すれば良好と判定し、不一致のときは不良と判定する。

【0009】従って、単純な構成により、短時間で効率的、効果的なテストを行うことができる。

【0010】

【実施例】以下、図面を参照して、本発明の実施例を詳細に説明する。

【0011】図2は、同型のメモリ回路が2個搭載されている場合に対する本発明の実施例の概要を示すブロック線図である。図2において、10は入力データ生成回路、12はアドレス生成用カウンタ回路、14-1、14-2は同型（即ちワード及びビット構成が同じ）メモリ回路、16は出力データ比較回路である。

【0012】端子a、cよりテスト用データ及びアドレスを、それぞれチップ内部の入力データ生成回路10及びアドレス生成用カウンタ回路12に入力する。該テスト用入力データを、該アドレス生成用カウンタ回路12によって指定された、同型のメモリ回路14-1、14-2の同じアドレスへ入力し、該アドレスから該データを出し、出力データ比較回路16によって比較する。比較の結果、一致すればよいとし、他のデータでテストを行う。一致しない場合は、その時点でのテストを終了とする。

【0013】本実施例においては、不一致となった時点で、直ちにテストを終了しているので、テスト時間が特に短い。なお、不一致出力の有無に拘らず、最後のアドレスまでテストを継続し、最終的に不一致出力の有無を判定してもよい。

【0014】又、図2において、アドレス生成用カウンタ回路12への入力端子cについては、該アドレス生成用カウンタ回路12が、信号を入力データ生成回路10

からもううことにすれば、端子cは省略することができるので、テスト用の端子数も更に削減できる。

【0015】なお、本実施例は、同型のメモリ回路が2個接続されている場合であったが、メモリ回路の個数は2個に限定されるものではなく、2個以上の複数個であれば同様に容易にテストを行うことができるることは明らかである。又、ワード数とビット数が同じであれば、物理的な形状（サイズやアスペクト比）は異なっていてよい。

【0016】

【発明の効果】以上説明した通り、本発明によれば、複数の同型のメモリ回路同士を同時に用いて動作させ、それらの回路の出力結果を相互に比較することによりテストが実行されるため、単純な構成で、より短時間に、効

率的、効果的なテストを行うことができ、テストの容易化が達成される。

【0017】更に時間の短縮の結果、テストパターンを増やしてテストの精度を高めることもできるという優れた効果を有する。

【図面の簡単な説明】

【図1】本発明によるメモリ回路テストの概要を示すブロック線図

【図2】本発明の実施例の概要を示すブロック線図

10 【符号の説明】

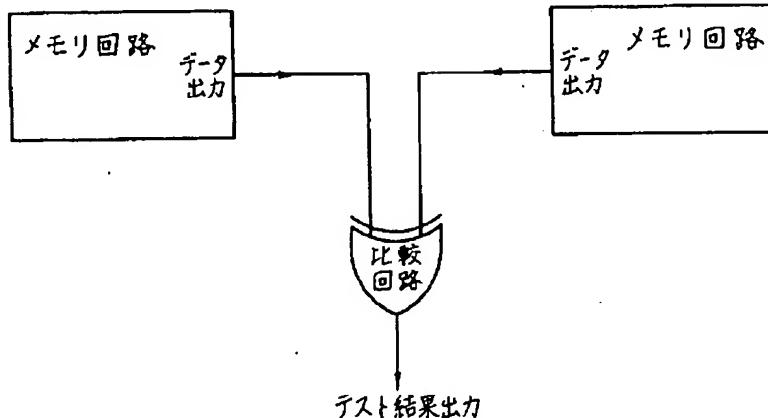
10…入力データ生成回路

12…アドレス生成用カウンタ回路

14-1、14-2…同型メモリ回路

16…出力データ比較回路

【図1】



【図2】

